

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332246
(P2000-332246A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A
29/749		29/74	6 0 1 A
21/336		29/78	6 5 8 G

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願2000-136015 (P2000-136015)
(22) 出願日 平成12年5月9日 (2000. 5. 9)
(31) 優先権主張番号 3 0 7 8 7 9
(32) 優先日 平成11年5月10日 (1999. 5. 10)
(33) 優先権主張国 米国 (U S)

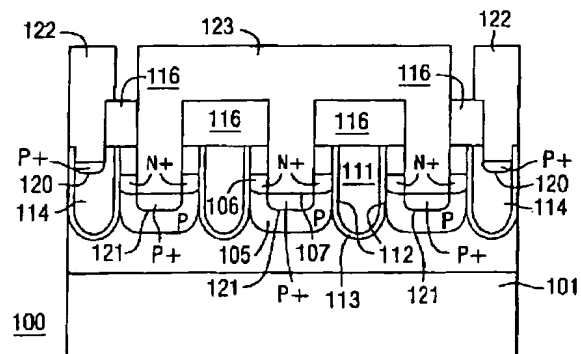
(71) 出願人 599141504
インターシル コーポレイション
INTERSIL CORPORATION
アメリカ合衆国 フロリダ州 32905 パ
ーム・ベイ エヌ・イー パーム・ベイ・
ロード 2401
(72) 発明者 トーマス グレブス
アメリカ合衆国 ペンシルヴェニア州
18707 マウンテントップ ウッドブルッ
ク・ウェイ 28
(74) 代理人 100070150
弁理士 伊東 忠彦 (外 1 名)

(54) 【発明の名称】 自己整列トレンチを有するMOSゲートデバイスを形成するプロセス

(57) 【要約】

【課題】 垂直MOSデバイスに自己整列ゲートトレン
チを形成するプロセスを提供する。

【解決手段】 基板のポテンシャルウェルソース領域
を画成するために半導体基板の上面に第一のマスクを形
成し；該ポテンシャルウェルソース領域にウエルドー
バント及びソースドーバントをインプラントし、それ
によりそれぞれ該基板にウエル領域及びソース領域を形成
し；該ウエル領域及び該ソース領域上に酸化物マスクを
成長し；第一のマスクを除去し；酸化物マスクを用い、
該ソース領域間のゲートトレンチをエッチングし、該ト
レンチは基板内に、該ウエル領域の下に選択された深さ
に延在する各段階からなる。



【特許請求の範囲】

【請求項1】(a) 半導体基板の上層にスクリーン酸化物層を形成し；

(b) 該スクリーン層上に窒化物層を形成し；

(c) 基板のマスクされた上層にウエル領域を画成するために該窒化物層をパターン化し、エッチングするためにウエルマスクを用い；

(d) 該上層にウエル領域を形成するために第一の導電性型のイオンをマスクされた上層にインプラントし拡散する各段階を含む自己整列トレンチを有するプロセスであって、

(e) 該上層に選択された深さに延在するソース領域を形成するために効果的な条件の下に第二の反対の導電性型のイオンをマスクされた上層のウエル領域にインプラントし拡散し、該選択された深さはソース-ウエル接合を画成し；

(f) あらかじめ該マスクの下にある窒化物層の部分を露出するためにウエルマスクを除去し；

(g) 該ウエル及びソース領域を実質的にオーバーレイするように酸化物絶縁層を形成し、該絶縁層は上層の一部にわたりハードマスクを形成し；

(h) 酸化物絶縁層によりマスクされていない上層の部分を露出するために該窒化物層の下にある窒化物層及びスクリーン酸化物の該部分をエッチングし；

(i) ウエル領域の下に選択された深さに上層内に延在するゲートトレンチを形成するよう酸化物絶縁層によりマスクされない上層の該部分をエッチングし；

(j) 該トレンチの絶縁体を含む側壁及びフロアを形成し；

(k) 半導体でゲートトレンチを充填し、酸化物絶縁層の上面と実質的に共面の面に該トレンチの半導体を平坦化し；

(l) 平坦化されたトレンチ半導体及び酸化物絶縁層の上面にインターレベル誘電体層を形成し；

(m) インターレベル誘電体層上にコンタクトウインドウマスクを形成し、ゲートトレンチ半導体及びソース領域にコンタクト開口を形成するために該インターレベル誘電体層及び該酸化物絶縁層をエッチングし；

(n) 該コンタクト開口を通り、ゲートトレンチ半導体及びソース領域を同時にエッチングし、該ソース領域は該ソース-ウエル接合の深さに実質的に対応する深さにエッチングされ；

(o) 該第一の導電性型のイオンを該コンタクト開口を通りゲートトレンチ半導体及びソース領域にインプラントし；

(p) 該コンタクトウインドウマスクを除去し、該インターレベル誘電体層上及び該コンタクト開口内に金属を堆積し；

(q) 離散的ソース及びゲート接続を形成するために該金属をパターン化することを特徴とするMOSゲート

デバイスを製造するプロセス。

【請求項2】(g') 該層の上面を画成し、窒化物層の該部分上に存在する如何なる酸化物をも除去するために、酸化物絶縁層の小さな部分をエッチングすることを特徴とする請求項1記載のプロセス。

【請求項3】 該基板は単結晶シリコンと、エピタキシャルにより成長したシリコンからなる補助上層とからなり、該スクリーン酸化層、該酸化物絶縁層、該トレンチ側壁及びフロアのそれぞれは二酸化シリコンを含むことを特徴とする請求項1記載プロセス。

【請求項4】 該酸化物絶縁層は少なくとも約1200オングストロームの厚さを有することを特徴とする請求項4記載のプロセス。

【請求項5】 該ゲートトレンチの該半導体はポリシリコンからなり、該第一の導電性型はPであり、該第二の導電性型はNであり、又は該第一の導電性型はNであり、該第二の導電性型はPであることを特徴とする請求項1記載のプロセス。

【請求項6】 第一の導電性型のイオンの該インプラント及び拡散は硼素イオンのインプラント及び拡散からなり、第二の導電性型のイオンの該インプラント及び拡散は砒素イオン又は磷イオンのインプラントからなる請求項1記載のプロセス。

【請求項7】 該インターレベル誘電体層はボロフォスフォシリケートガラスからなり、該金属はアルミニウムからなることを特徴とする請求項1記載のプロセス。

【請求項8】(a) 基板のポテンシャルウエル-ソース領域を画成するために半導体基板の上面に第一のマスクを形成し；

(b) 該ポテンシャルウエル-ソース領域にウエルドープバント及びソースドープバントをインプラントし、それによりそれぞれ該基板にウエル領域及びソース領域を形成し；

(c) 該ウエル領域及び該ソース領域上に酸化物マスクを成長し；

(d) 第一のマスクを除去し；

(e) 酸化物マスクを用い、該ソース領域間のゲートトレンチをエッチングし、該トレンチは基板内に、該ウエル領域の下に選択された深さに延在する各段階からなる垂直MOSデバイスに自己整列ゲートトレンチを形成するプロセス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体デバイスに関し、より詳細には自己整列トレンチを有するMOSゲートデバイスを製造するプロセスに関する。

【0002】

【従来の技術】トレンチゲート構造を含むMOSトランジスタは高電流、低電圧スイッチング応用に対して平坦な(planar)トランジスタに対して重要な利点を

提供する。後者の構成では、高電流における動作に対して意図されたトランジスタの設計に実質的な拘束があるという影響が生ずるという拘束が存在する。

【0003】DMOSデバイスのトレンチゲートは典型的にはソースからドレインに延在し、二酸化シリコンの熱成長の層に各々並べられた側壁及びフロアを有するトレンチを含む。並べられたトレンチはドーパされたポリシリコンで満たされる。トレンチゲートの構造はより束縛されない電流を許容し、従って、特定のオン抵抗（on-resistance）のより低い値を提供する。更にまた、トレンチゲートはトランジスタの本体を横切るソースの底から、下のドレインにトレンチの垂直側壁に沿って延在するMOSチャンネルの減少されたセルピッチを可能にする。チャンネル密度は故に、増加され、オン抵抗に対するチャンネルの貢献を減少する。トレンチDMOSTランジスタの構造及び性能はBulucea, RossenのSolid-State Electronics, 1991, Vol. 34, No. 5, pp495-507, "Trench DMOS Transistor Technology for High-Current (100 A Range) Switching"に開示されている。DMOSデバイスでの使用に加えて、トレンチゲートはまた絶縁ゲートバイポーラトランジスタ（IGBT）、MOS制御されたサイリスタ（MCT）及び他のMOSゲートデバイスで好ましく用いられる。

【0004】MOSデバイスの自己整列トレンチはソースとトレンチコンタクトの間の距離の減少を許容し、VLSI製造のために充填密度を増加する利点を可能にする。米国特許第5393704号の明細書はデバイス領域に対する自己整列トレンチコンタクトを基板内及びその上に形成する方法を開示し、それは半導体基板上のゲート電極、基板内のソース／ドレイン領域、ゲート電極側壁上のスペーサを含む。側壁スペーサはトレンチコンタクトが形成される基板の開口を提供するためのマスクとして用いられる。

【0005】米国特許第5716886号は高電圧MOSデバイスの製造方法を開示し、そこでは窒化シリコン層が基板でのトレンチ型のソース／ドレイン領域を形成するためのマスクとして用いられる。トレンチソース／ドレイン領域は2つの導電層を含み、同一の2つの導電層の部分は基板表面上のゲートに含まれる。

【0006】米国特許第5665619号はシリコン基板上のマスクされた酸化物／窒化物／酸化物（ONO）サンドイッチを通してエッチングされる自己整列コンタクトトレンチを有するDMOSTランジスタの製造方法を開示する。ゲートポリシリコンはトレンチに堆積され、窒化物層と共に平坦化される。平坦化されたポリシリコンは酸化物で覆われ、ドーピング及び四つの付加的なフォトリソグラフィーマスキング段階がトレンチに隣

接したN+ソース領域及びソース領域間のP+体（body）オーミックコンテンツ領域を形成するために用いられる。

【0007】現在用いられているよりも少ないマスキング段階しか要求しない簡単なプロセスによりMOSゲートデバイスの製造を容易にするためのニーズが存在する。

【0008】

【発明が解決しようとする課題】本発明の目的は上記課題を解決することにある。

【0009】

【課題を解決するための手段】本発明は、

(a) 半導体基板の上層にスクリーン酸化物層を形成し；

(b) 該スクリーン層上に窒化物層を形成し；

(c) 基板のマスクされた上層にウエル領域を画成するために該窒化物層をパターン化し、エッチングするためにウエルマスクを用い；

(d) 該上層にウエル領域を形成するために第一の導電性型のイオンをマスクされた上層にインプラントし拡散する各段階を含む自己整列トレンチを有するプロセスであって、

(e) 該上層に選択された深さに延在するソース領域を形成するために効果的な条件の下に第二の反対の導電性型のイオンをマスクされた上層のウエル領域にインプラントし拡散し、該選択された深さはソース－ウエル接合を画成し；

(f) あらかじめ該マスクの下にある窒化物層の部分を露出するためにウエルマスクを除去し；

(g) 該ウエル及びソース領域を実質的にオーバーレイするように酸化物絶縁層を形成し、該絶縁層は上層の一部にわたりハードマスクを形成し；

(h) 酸化物絶縁層によりマスクされていない上層の部分を露出するために該窒化物層の下にある窒化物層及びスクリーン酸化物の該部分をエッチングし；

(i) ウエル領域の下に選択された深さに上層内に延在するゲートトレンチを形成するよう酸化物絶縁層によりマスクされない上層の該部分をエッチングし；

(j) 該トレンチの絶縁体を含む側壁及びフロアを形成し；

(k) 半導体でゲートトレンチを充填し、酸化物絶縁層の上面と実質的に共面の面に該トレンチの半導体を平坦化し；

(l) 平坦化されたトレンチ半導体及び酸化物絶縁層の上面にインターレベル誘電体層を形成し；

(m) インターレベル誘電体層上にコンタクトウインドウマスクを形成し、ゲートトレンチ半導体及びソース領域にコンタクト開口を形成するために該インターレベル誘電体層及び該酸化物絶縁層をエッチングし；

(n) 該コンタクト開口を通り、ゲートトレンチ半導

体及びソース領域を同時にエッチングし、該ソース領域は該ソースウエル接合の深さに実質的に対応する深さにエッチングされ；

(o) 該第一の導電性型のイオンを該コンタクト開口を通りゲートトレンチ半導体及びソース領域にインプラントし；

(p) 該コンタクトウインドウマスクを除去し、該インターレベル誘電体層上及び該コンタクト開口内に金属を堆積し；

(q) 離散的ソース及びゲート接続を形成するために該金属をパターン化することを特徴とする MOSゲートデバイスを製造するプロセスを含む。

【0010】本発明は又、

(a) 基板のポテンシャルウエルソース領域を画成するために半導体基板の上面に第一のマスクを形成し；

(b) 該ポテンシャルウエルソース領域にウエルドーパント及びソースドーパントをインプラントし、それによりそれぞれ該基板にウエル領域及びソース領域を形成し；

(c) 該ウエル領域及び該ソース領域上に酸化物マスクを成長し；

(d) 第一のマスクを除去し；

(e) 酸化物マスクを用い、該ソース領域間のゲートトレンチをエッチングし、該トレンチは基板内に、該ウエル領域の下に選択された深さに延在する各段階からなる

垂直MOSデバイスに自己整列ゲートトレンチを形成するプロセスを含む。

【0011】利便性のために、本発明は自己整列トレンチを有するMOSゲートデバイスを形成するためのプロセスに関する。スクリーン酸化層は半導体基板の上層に形成され、窒化物層はスクリーン酸化層上に形成される。ウエルマスクを用いて、窒化物層は上層にウエル領域を画成するためにパターン化され、エッチングされ、第一の導電性型のイオンはウエル領域を形成するためにマスクされた上層に拡散される。

【0012】第二の、反対の導電性型のイオンはソースウエル接合を画成する選択された深さに延在するソース領域を形成するためにマスクされた上層のウエル領域にインプラントされる。ウエルマスクは予めマスクの下にある窒化物層の部分を出露するよう除去される。ハードマスクを提供する酸化物絶縁層は上層のウエル及びソース領域をオーバーレイするように形成される。窒化物層の残りの部分及びその下のスクリーン酸化物層はウエルマスクにより保護されていたが、除去され、それにより酸化物絶縁層によりマスクされない基板の部分を出露する。

【0013】斯くして露出された基板の部分はウエル領域の下に選択された深さに基板を通して延在するゲートトレンチを形成するためにエッチングされる。絶縁体の

側壁及びフロアはゲートトレンチに形成され、これは半導体で充填される。トレンチ内の半導体は酸化物絶縁層の上層と実質的に共面となるように平坦化される。インターレベル誘電体層は平坦化されたゲートトレンチ及び半導体酸化物絶縁層の上面上に形成される。インターレベル誘電体層上のコンタクトウインドウマスクの形成に続いて、それと下の酸化物絶縁層はゲート半導体及びソース領域へのコンタクト開口を形成するようエッチングされる。

【0014】ゲート半導体及びソース領域はコンタクト開口を通して同時にエッチングされ、ソース領域はソースウエル接合の深さと実質的に対応する深さにエッチングされる。第一の導電性型のイオンはゲート半導体及びソース領域にコンタクト開口を通してインプラントされる。コンタクトウインドウマスクは除去され、金属がインターレベル誘電体層上及びコンタクト開口内に堆積され、次に離散的ソース及びゲート接続を形成するためにパターン化される。

【発明の実施の形態】本発明は以下に図面を参照して例により以下に詳細に説明される。

【0015】MOSゲートデバイス用の簡単なプロセスは図1から9に概略が示される。図1に示されるように、半導体基板101は上層102を有し、この上に薄いスクリーン酸化物層103が形成される。窒化物層104は層103上に堆積され、フォトリソウエルマスクWMによりパターン化される。半導体基板101は好ましくは単結晶シリコンからなり、上層102はエピタキシャル的に成長したシリコンからなり、スクリーン層103は二酸化シリコンからなる。窒化物層104の堆積は化学蒸着(CVD)又は低圧化学蒸着(LPCVD)により達成される。

【0016】図2に示されるように、ウエル領域105は第一の導電性型のイオンによりインプラント及び拡散により形成され、それに続いてソース領域106はソースウエル接合107を画成する選択された深さに第二の、反対の導電性型のインプラント及び拡散により形成される。ウエル領域105及びソース領域106の形成に続いて、ウエルマスクWMはスクリーン層103から剥離される。

【0017】図2で、第一の導電性型はPとして表され、P-ウエル領域105を形成し、第二の導電性型はNであり、N+ソース領域106を形成する。これらの導電性型は逆の型に反転される。硼素は好ましくはPドーパントであり、砒素及び磷がNドーパントとして有用である。

【0018】図3に記載されるように、酸化物絶縁層108は二酸化シリコンであり、ソース領域106及びウエル領域105上に形成される。酸化物絶縁層108の少量は、少なくとも約1200オングストロームの厚さを有し、面109を形成するようエッチングされ、この

エッチング段階は窒化物層104上に形成された如何なる酸化物も同時に除去されることを確実にする。窒化物層104は次に図4に示される構造を残して、選択的エッチングにより除去される。

【0019】酸化物絶縁層108は実質的に垂直の側壁110を有し、図5に示されるウエル領域105のその下の選択された深さ112に実質的に延在するトレンチ111のエッチング用のハードマスクを提供する。絶縁側壁112及びフロア113は好ましくは二酸化シリコンからなり、図6に示されるようにトレンチ111に形成される。トレンチ111はポリシリコンからなる半導体114で充填される。半導体114は酸化物絶縁層108の面109と実質的に共面である面115を提供するようエッチング又は機械的に処理されることにより平坦化される。

【0020】図7に示されるように、インターレベル誘電体層116は表面109及び115上に堆積され、トレンチコンタクト開口117を提供するためにコンタクトウインドウマスク（図示せず）を用いてパターン化されエッチングされる。インターレベル誘電体層116は例えばボロフォスフォシリケートガラス（BPSG）により形成される。ハードマスクとしてパターン化されたインターレベル誘電体層116を用いたシリコンディンブルエッチングは深さ119にトレンチコンタクト開口117に、ソースコンタクト開口118を実質的にソース-ウエル接合107にソース領域106を通して延在するように用いられる。コンタクト開口117、118を通して第一の導電性型のイオンのインプラント及び拡散はゲート半導体114のP+領域120及びソース領域106に隣接したP+エミッタ領域121を形成する。

【0021】コンタクトウインドウマスク（図示せず）の除去に続いて、アルミニウムのような金属は図9に示されるように、ゲート接続122及びソース/エミッタ接続123を提供するよう堆積され、パターン化され、それにより、本発明によるデバイス100の製造は完了する。

【0022】ハードマスクとして及び酸化物絶縁層108及びインターレベル誘電体層116を用い、3つのフォトリソグラフィックマスク（ウエル、コンタクトウインドウ、金属）のみを要求するプロセスは顕著に簡単で、典型的な知られているデバイス製造プロセスよりも便利である。

【0023】自己整列トレンチを有するMOSゲートデバイスを形成するプロセスではスクリーン酸化層は半導体基板の上層に形成され、窒化物層はスクリーン酸化層上に形成される。ウエルマスクを用いることにより、窒化物層は上層のウエル領域を画成するためにパターン化され、エッチングされ、第一の導電性型のイオンはウエル領域を形成するためにマスクされた上層に拡散され

る。第二の、反対の導電性型のイオンはソース-ウエル接合を画成する選択された深さに延在するソース領域を形成するためにマスクされた上層のウエル領域にインプラントされる。ウエルマスクは除去され、マスクの下に予めあった窒化物層の部分を露出させる。ハードマスクを提供する酸化物絶縁層は上層のウエル及びソース領域をオーバーレイするよう形成される。窒化物層の残りの部分及びその下にあるスクリーン酸化物はウエルマスクにより保護されていたが、除去され、それにより酸化物絶縁層によりマスクされない基板の部分を露出する。

【0024】斯くして露出された基板の部分は選択された深さのウエル領域へ基板を通して延在するゲートトレンチを形成するようエッチングされる。絶縁体の側壁及びフロアはゲートトレンチに形成され、これは半導体で充填される。トレンチの半導体は酸化物絶縁層の上面と実質的に共面になるように平坦化される。インターレベル誘電体層は平坦化されたゲートトレンチ半導体及び酸化物絶縁層の上面上に形成される。

【図面の簡単な説明】

【図1】MOSゲートデバイスを形成するプロセスの概略を示す。

【図2】MOSゲートデバイスを形成するプロセスの概略を示す。

【図3】MOSゲートデバイスを形成するプロセスの概略を示す。

【図4】MOSゲートデバイスを形成するプロセスの概略を示す。

【図5】MOSゲートデバイスを形成するプロセスの概略を示す。

【図6】MOSゲートデバイスを形成するプロセスの概略を示す。

【図7】MOSゲートデバイスを形成するプロセスの概略を示す。

【図8】MOSゲートデバイスを形成するプロセスの概略を示す。

【図9】MOSゲートデバイスを形成するプロセスの概略を示す。

【符号の説明】

100 デバイス

101 半導体基板

102 上層

103 スクリーン酸化物層

104 窒化物層

105 ウエル領域

106 ソース領域

107 ソース-ウエル接合

108 酸化物絶縁層

109 面

110 垂直の側壁

111 トレンチ

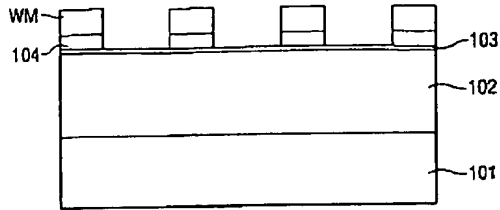
(6)

特開2000-332246

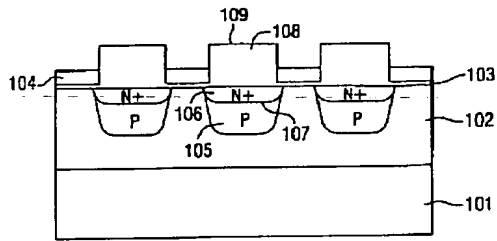
9

- 112 選択された深さ
- 113 フロア
- 114 半導体
- 115 面
- 116 誘電体層
- 117 トレンチコンタクト開口

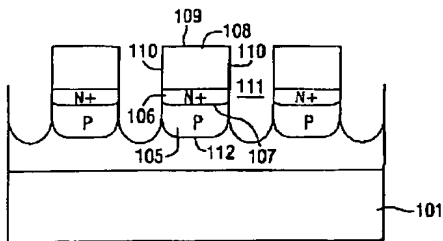
【図1】



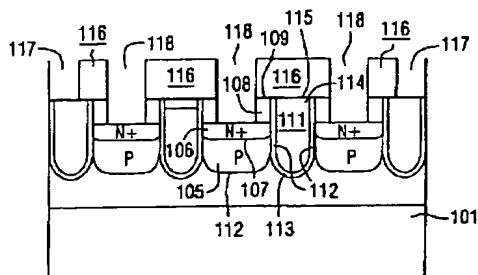
【図3】



【図5】



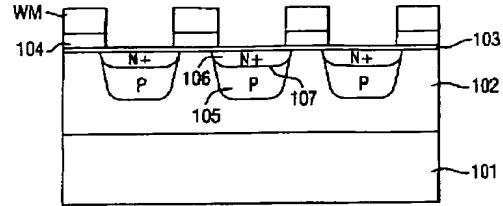
【図7】



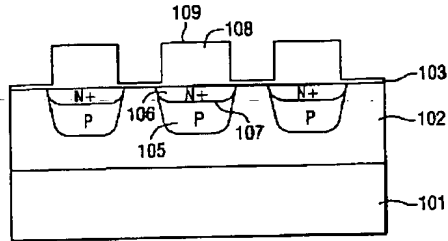
10

- * 118 ソースコンタクト開口
- 119 深さ
- 120 P+領域
- 121 P+エミッタ領域
- 122 ゲート接続
- * 123 ソース/エミッタ接続

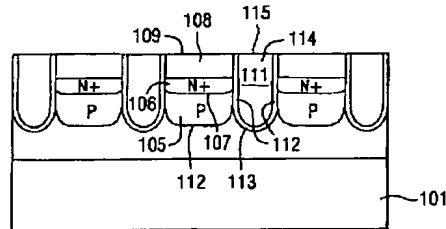
【図2】



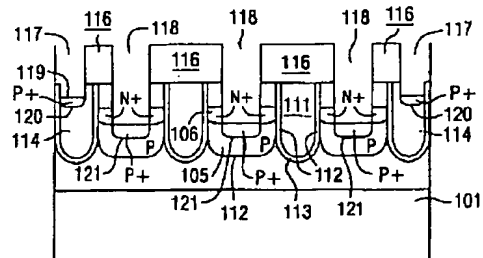
【図4】



【図6】



【図8】



【図9】

